

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

re Patent Application of:)
MORIN ET AL.)
Serial No. 10/701,165)
Confirmation No. 5541)
Filing Date: November 4, 2003)
For: SEMICONDUCTOR DEVICE WITH MOS)
TRANSISTORS WITH AN ETCH-STOP)
LAYER HAVING AN IMPROVED)
RESIDUAL STRESS LEVEL AND)
METHOD FOR FABRICATING SUCH A)
SEMICONDUCTOR DEVICE)

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS MISSING PARTS
COMMISSIONER FOR PATENTS
P.O. BOX 1450
ALEXANDRIA, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority French Application No. 0213837.

Respectfully submitted,

Michael W. Taylor

MICHAEL W. TAYLOR
Reg. No. 43,182
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicant



In re Patent Application of:

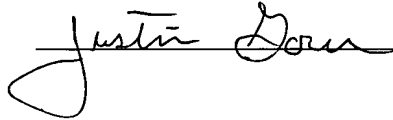
MORIN ET AL.

Serial No. 10/701,165

Filing Date: November 4, 2003

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: MAIL STOP MISSING PARTS, COMMISSIONER FOR PATENTS, P.O. BOX 1450, ALEXANDRIA, VA 22313-1450, on this 2nd day of March, 2004.

_____



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 28 OCT. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



5 NOV 2002
INPI PARIS

0213837

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*02

REQUÊTE EN DÉLIVRANCE page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 6 W / 010501

REMISE DES PIÈCES DATE LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 05 NOV. 2002		Réservé à l'INPI 1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Bureau D.A. CASALONGA - JOSSE 8, avenue Percier 75008 PARIS	
Vos références pour ce dossier (facultatif) B02/1429FR-ODE			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE Demande de brevet <input checked="" type="checkbox"/> Demande de certificat d'utilité <input type="checkbox"/> Demande divisionnaire <input type="checkbox"/> <i>Demande de brevet initiale</i> N° _____ Date _____ <i>ou demande de certificat d'utilité initiale</i> N° _____ Date _____ Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i> <input type="checkbox"/> N° _____ Date _____		Cochez l'une des 4 cases suivantes	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Dispositif semi-conducteur à transistors MOS à couche d'arrêt de gravure ayant un stress résiduel amélioré et procédé de fabrication d'un tel dispositif semi-conducteur.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale Prénoms Forme juridique N° SIREN Code APE-NAF		STMicroelectronics SA Société Anonyme _____ _____	
Domicile ou siège Rue Code postal et ville Pays		29, Boulevard Romain Rolland 91210 MONTRouGE FRANCE Française	
Nationalité N° de téléphone (facultatif) Adresse électronique (facultatif)		N° de télécopie (facultatif) _____ <input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»	

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

5 NOV 2002 REMISE DES PIÈCES DATE 5 INPI PARIS LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI 0213837	DB 540 & W / 010201
Vos références pour ce dossier : <i>(facultatif)</i>		B02/1429FR-ODE	
6 MANDATAIRE <i>(s'il y a lieu)</i>			
Nom			
Prénom			
Cabinet ou Société		Bureau D.A. CASALONGA - JOSSE	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	8, avenue Percier	
	Code postal et ville	[7] [5] [0] [0] [8] PARIS	
	Pays		
N° de téléphone <i>(facultatif)</i>			
N° de télécopie <i>(facultatif)</i>			
Adresse électronique <i>(facultatif)</i>			
7 INVENTEUR (S)		Les inventeurs sont nécessairement des personnes physiques	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé	
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG [] [] [] [] [] [] [] [] [] []	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI C. TRAN	
Axel CASALONGA, bm 92 1044 i Conseil en Propriété Industrielle			

Dispositif semi-conducteur à transistors MOS à couche d'arrêt de gravure ayant un stress résiduel amélioré et procédé de fabrication d'un tel dispositif semi-conducteur.

5 L'invention concerne, de manière générale, un dispositif semi-conducteur à transistors MOS.

De manière conventionnelle, les transistors MOS sont formés dans une zone active d'un substrat semi-conducteur isolée du reste du substrat par une région d'isolation, par exemple une région du type à
10 tranchées peu profondes (STI : « Shallow Trench Isolation »), par formation de régions de source et de drain qui délimitent entre elles un canal, et d'une région de grille qui s'étend au-dessus de ce canal. L'ensemble est recouvert d'une couche de diélectrique dans laquelle sont gravés des trous de contact pour le raccordement électrique des
15 transistors, avec interposition d'une couche d'arrêt de gravure, par exemple une couche de nitrure sans bord.

Il est connu que le stress résiduel de la couche d'arrêt de gravure modifie les performances du transistor, en particulier le courant I_{ON} circulant entre le drain et la source à l'état passant, ce
20 courant pouvant être augmenté ou diminué en fonction du niveau de contrainte mécanique appliqué au transistor. En effet, il a été constaté que la couche d'arrêt induit une courbure locale dans le substrat du dispositif semi-conducteur, ce qui génère une contrainte mécanique dans le canal. Une telle contrainte agit sur la mobilité des porteurs, et
25 donc sur les performances du transistor.

En utilisant ces propriétés, il a été proposé d'améliorer les performances des transistors en modifiant le niveau de stress résiduel de la couche d'arrêt par implantation de germanium (Ge) dans une couche d'arrêt constituée de nitrure. En effet, l'insertion d'ions dans
30 le nitrure détruit la contrainte mécanique appliquée au silicium.

Il a été constaté qu'une couche d'arrêt de gravure ayant un niveau de stress résiduel négatif améliore le fonctionnement d'un transistor de type PMOS, mais dégrade le fonctionnement d'un transistor NMOS. Au contraire, une couche d'arrêt de gravure ayant un

niveau de stress résiduel positif améliore le fonctionnement des transistors de type NMOS, mais dégrade celui des transistors PMOS. Ainsi, toute amélioration apportée à un type de transistors se fait au détriment de l'autre type de transistors.

5 Par conséquent, l'implantation ionique dans le nitrure permet, soit d'améliorer le fonctionnement des transistors PMOS, soit d'améliorer le fonctionnement des transistors NMOS, en fonction du type de couche d'arrêt utilisé.

10 Au vu de ce qui précède, l'invention a pour but de pallier ces inconvénients et de fournir un dispositif semi-conducteur à transistors MOS et un procédé de fabrication d'un tel transistor, permettant d'adapter de manière discriminante le niveau de stress résiduel d'une couche d'arrêt de gravure à la nature des transistors qu'elle recouvre.

15 Ainsi, selon l'invention, il est proposé un dispositif semi-conducteur à transistors MOS, comprenant un substrat semi-conducteur dans lequel sont formés les transistors, une couche de diélectrique qui recouvre le substrat et dans laquelle sont gravés des trous de contact et une couche d'arrêt de gravure interposée entre le substrat et la couche diélectrique.

20 Selon une caractéristique générale de ce dispositif semi-conducteur, la couche d'arrêt de gravure comporte une première couche de matériau ayant un premier niveau de stress résiduel et qui recouvre une partie du transistor, et une deuxième couche de matériau ayant un deuxième niveau de stress résiduel et qui recouvre l'ensemble
25 des transistors, les épaisseurs des première et deuxième couches et les premier et deuxième niveaux de stress résiduel étant choisis de manière à obtenir des variations de paramètres de fonctionnement des transistors par rapport à des transistors recouverts de la première couche de matériau.

30 Il est ainsi possible, en choisissant le matériau de chaque couche, ainsi que leur épaisseur, d'adapter localement le niveau de stress résiduel global au-dessus de chaque type de transistor afin d'améliorer les performances des transistors de chaque type.

Ainsi, selon une autre caractéristique de ce dispositif, les transistors MOS comportent des transistors de type NMOS et des transistors de type PMOS, les première et deuxième couches de matériau ayant des niveaux de stress résiduel opposés.

5 Dans ce cas, les épaisseurs de la première couche et de la deuxième couche et le niveau de stress résiduel de la première couche et de la deuxième couche sont déterminés de manière à obtenir un niveau de stress positif au-dessus des transistors NMOS et un niveau de stress négatif au-dessus des transistors PMOS.

10 Par exemple, la première couche a un niveau de stress négatif et recouvre les transistors de type PMOS et la deuxième couche a un niveau de stress positif.

En variante, la première couche a un niveau de stress positif et recouvre les transistors de type NMOS et la deuxième couche a un
15 niveau de stress négatif.

Selon une autre caractéristique du dispositif semi-conducteur selon l'invention, la zone de la deuxième couche recouvrant la première couche présente un stress résiduel sensiblement nul. On améliore alors encore le niveau de stress résiduel global des transistors recouverts par les première et deuxième couches.
20

Selon l'invention, il est également proposé un procédé de fabrication d'un dispositif semi-conducteur à transistors MOS tel que défini ci-dessus, comprenant la formation des transistors dans un substrat semi-conducteur, le dépôt d'une couche d'arrêt de gravure sur les transistors, le dépôt d'une couche de diélectrique sur la couche
25 d'arrêt de gravure et la gravure dans la couche de diélectrique de trous de connexion.

L'étape de dépôt de la couche d'arrêt de gravure comprend le dépôt d'une première couche de matériau ayant un premier niveau de stress résiduel et qui recouvre une partie des transistors et le dépôt,
30 sur la première couche, d'une deuxième couche de matériau ayant un deuxième niveau de stress résiduel et qui recouvre l'ensemble des transistors, les épaisseurs des première et deuxième couches et les premier et deuxième niveaux de stress résiduel étant choisis de

manière à obtenir des variations de paramètres de fonctionnement des transistors par rapport à des transistors recouverts de la première couche de matériau.

5 Selon un mode de mise en œuvre de ce procédé, l'étape de dépôt de la première couche comporte le dépôt de ladite couche sur l'ensemble des transistors, le dépôt de masques à l'endroit des transistors de ladite partie des transistors, la gravure de la couche à nu et l'élimination des masques.

10 Selon une autre caractéristique du procédé selon l'invention, postérieurement à l'étape de dépôt de la deuxième couche, on procède à un traitement localisé du matériau de la deuxième couche à l'endroit des transistors de ladite partie de transistors de manière à modifier localement le niveau de stress de la deuxième couche.

15 Par exemple, le traitement de la deuxième couche est réalisé par implantation ionique, en particulier une implantation ionique de germanium.

20 D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante, donnée uniquement à titre d'exemples non limitatifs, et faite en référence aux dessins annexés, sur lesquels :

- la figure 1 est une vue en coupe d'un dispositif semi-conducteur conventionnel ;

25 - la figure 2 montre des courbes illustrant la variation du courant I_{ON} de transistors NMOS, d'une part, et de transistors PMOS, d'autre part, en fonction du niveau de stress résiduel de la couche d'arrêt de gravure du transistor de la figure 1 ;

- la figure 3 est une vue en coupe d'un dispositif semi-conducteur conforme à l'invention ;

30 - la figure 4 illustre un autre mode de réalisation d'un dispositif semi-conducteur conforme à l'invention ; et

- la figure 5 illustre un mode de mise en œuvre particulier d'un procédé de fabrication d'un dispositif semi-conducteur conforme à l'invention.

Sur la figure 1, on a représenté la structure générale d'un dispositif semi-conducteur à transistors MOS conventionnel. Sur cette figure, seule une partie du dispositif, dans laquelle un transistor est formé, a été représentée.

5 Comme on le voit, ce transistor est réalisé dans une zone active d'un substrat semi-conducteur 10, délimitée par une région isolante STI, par formation de régions de source S et de régions de drain D qui délimitent une région de canal 12, et formation d'une région de grille G associée à des espaceurs E, de sorte que la grille s'étende au-dessus
10 du canal 12. L'ensemble est recouvert d'une couche de diélectrique, par exemple une couche d'oxyde 14, dans laquelle sont gravés des trous de connexion 16 servant au raccordement électrique des transistors, avec interposition d'une couche d'arrêt de gravure 18. Sur cette figure 1, par soucis de clarté, seul un trou de contact servant au
15 raccordement du drain D du transistor a été représenté.

Comme indiqué précédemment, la couche 18 engendre des contraintes mécaniques au sein du substrat 10, en particulier au sein de la région du substrat 10 formant le canal 12. Ces contraintes engendrent une modification de la mobilité des porteurs et donc une
20 modification des performances du transistor, laquelle dépend du niveau de stress résiduel de la couche d'arrêt 18.

On voit en effet sur la figure 2, sur laquelle on a représenté en abscisses le niveau de stress résiduel de la couche d'arrêt 18 et en ordonnée une variation en pourcentage du courant I_{ON} entre la source
25 et le drain du transistor à l'état passant, que l'utilisation d'une couche d'arrêt ayant un niveau de stress résiduel positif s'accompagne, pour un transistor NMOS, d'une augmentation du courant I_{ON} , par rapport à un matériau ayant un stress nul (courbe A) et, pour un transistor PMOS, d'une diminution du courant I_{ON} (courbe B).

30 Au contraire, l'utilisation d'un matériau ayant un stress négatif s'accompagne d'une diminution du courant I_{ON} pour un transistor NMOS (courbe A) et d'une augmentation du courant I_{ON} pour un transistor PMOS (courbe B).

Ainsi, une augmentation du stress conduit à une amélioration des performances d'un transistor NMOS et à une diminution des performances d'un transistor PMOS. Au contraire, l'utilisation d'un matériau ayant un stress négatif, c'est-à-dire un matériau compressif, s'accompagne d'une diminution des performances d'un transistor NMOS et d'une amélioration des performances d'un transistor PMOS.

On notera que les courbes représentées sur la figure 2 dépendent de l'architecture et des dimensions du transistor considéré.

On a représenté sur la figure 3 la structure d'un dispositif semi-conducteur ayant une couche d'arrêt 18 permettant d'obtenir de bonnes performances, tant en ce qui concerne les transistors NMOS que les transistors PMOS.

Sur cette figure, seuls les transistors ainsi que les couches d'arrêt ont été représentés.

Comme on le voit sur cette figure, la couche d'arrêt de gravure 18 comporte une première couche I de nitrure de silicium SiN1 de matériau d'arrêt qui recouvre une partie des transistors, à savoir des transistors d'un premier type, et une deuxième couche II de nitrure de silicium SiN2 recouvrant l'ensemble des transistors.

Dans l'exemple de réalisation illustré à la figure 3, la première couche SiN1 recouvre les transistors PMOS, tandis que la couche SiN2 recouvre la première couche SiN1 ainsi que les transistors NMOS.

Différentes techniques peuvent être utilisées pour le dépôt des première et deuxième couches. Par exemple, pour procéder au dépôt de la couche d'arrêt 18 sur les transistors, on dépose la première couche SiN1 sur l'ensemble des transistors et l'on grave cette couche, de manière à ne laisser subsister cette couche que sur l'un des types de transistors. On procède alors à une élimination de la couche de résine et l'on dépose la deuxième couche sur l'ensemble des transistors.

La première couche SiN1 a une épaisseur e_1 et un niveau de stress résiduel σ_1 .

La deuxième couche SiN2 a une épaisseur e_2 et un niveau de stress résiduel σ_2 .

Les niveaux de stress σ_1 et σ_2 ainsi que les épaisseurs e_1 et e_2 , sont choisis de manière à obtenir, au-dessus des transistors PMOS, un niveau de stress résiduel global négatif, apte à améliorer le fonctionnement des transistors PMOS.

5 En effet, dans ce cas, le stress total σ_{tot} se détermine, au premier ordre, à partir de l'épaisseur de l'empilement total e_{tot} et des stress et épaisseur individuels de chaque couche σ_1 , e_1 , σ_2 et e_2 , selon la formule suivante :

$$\sigma_{tot} \times e_{tot} = \sigma_1 \times e_1 + \sigma_2 \times e_2 \quad (1)$$

10 Ainsi, en ce qui concerne les transistors PMOS, le niveau de stress global est donné par la relation suivante :

$$\sigma_{tot} = (\sigma_1 \times e_1 + \sigma_2 \times e_2) / e_{tot} \quad (2)$$

En ce qui concerne les transistors NMOS, le niveau de stress est égal à σ_2 .

15 Ainsi, en choisissant judicieusement des nitrures ayant des niveaux de stress opposés et en optimisant les épaisseurs de chaque couche, on obtient une amélioration des performances sur les deux types de transistors, simultanément.

20 En effet, par exemple, sur l'exemple considéré sur la figure 2, en utilisant des matériaux ayant les caractéristiques suivantes :

$$\sigma_1 = -1000 \text{ MPa ;}$$

$$e_1 = 650 \text{ \AA ;}$$

$$\sigma_2 = + 850 \text{ MPa ; et}$$

$$e_2 = 250 \text{ \AA ,}$$

25 On obtient un stress résiduel global σ_{tot} de $- 486 \text{ MPa}$, c'est-à-dire une couche d'arrêt apte à améliorer le fonctionnement des transistors PMOS.

Dans l'exemple de réalisation illustré à la figure 3, la première couche SiN1 recouvre les transistors PMOS.

30 Il est également possible, en variante, comme visible sur la figure 4, de prévoir une première couche SiN1 recouvrant les transistors NMOS. Dans ce cas, on choisit l'épaisseur et le stress résiduel des première et deuxième couches SiN1 et SiN2 de manière à

obtenir, au-dessus des transistors NMOS, une couche d'arrêt ayant globalement un stress résiduel positif.

En se référant maintenant à la figure 5, selon un autre mode de mise en œuvre d'un procédé selon l'invention, postérieurement au dépôt de la deuxième couche, on procède à un traitement localisé de la deuxième couche SiN₂ au-dessus de la première couche, de manière à annuler le stress résiduel de la zone de cette couche recouvrant la première couche. Pour se faire, par exemple, on forme un masque M à l'endroit des transistors recouverts uniquement par la deuxième couche, de manière à laisser à nu les transistors recouverts par les première et deuxième couches, et l'on procède à une implantation ionique, par exemple par implantation de germanium Ge, de manière à annuler le stress résiduel de la couche supérieure SiN₂.

REVENDICATIONS

1. Dispositif semi-conducteur à transistors MOS, comprenant un substrat (10) semi-conducteur dans lequel sont formés les transistors, une couche de diélectrique (14) qui recouvre le substrat et dans laquelle sont gravés des trous de contact (16) et une couche d'arrêt de gravure (18) interposée entre le substrat et la couche diélectrique, caractérisé en ce que la couche d'arrêt de gravure comporte une première couche (I) de matériau ayant un premier niveau de stress résiduel et qui recouvre une partie des transistors, et une deuxième couche (II) de matériau ayant un deuxième niveau de stress résiduel et qui recouvre l'ensemble des transistors, les épaisseurs (e_1 , e_2) des première et deuxième couches et les premier et deuxième niveaux de stress résiduel (σ_1 , σ_2) étant choisis de manière à obtenir des variations de paramètres de fonctionnement des transistors par rapport à des transistors recouverts de la première couche de matériau.

2. Dispositif selon la revendication 1, caractérisé en ce que les transistors MOS comportent des transistors de type NMOS et des transistors de type PMOS, et en ce que les première et deuxième couches de matériau (I, II) ont des niveaux de stress résiduel opposés.

3. Dispositif selon la revendication 2, caractérisé en ce que les épaisseurs (e_1 , e_2) de la première couche et de la deuxième couche et le niveau de stress résiduel (σ_1 , σ_2) de la première couche et de la deuxième couche sont déterminés de manière à obtenir un niveau de stress positif au-dessus des transistors NMOS et un niveau de stress négatif au-dessus des transistors PMOS.

4. Dispositif selon l'une des revendications 2 et 3, caractérisé en ce que la première couche a un niveau de stress négatif et recouvre les transistors de type PMOS et la deuxième couche a un niveau de stress positif.

5. Dispositif selon l'une des revendications 2 et 3, caractérisé en ce que la première couche a un niveau de stress positif et recouvre les transistors de type NMOS et la deuxième couche a un niveau de stress négatif.

5 6. Dispositif selon l'une quelconque des revendications 1 à 5, caractérisé en ce que la zone de la deuxième couche recouvrant la première couche présente un stress résiduel sensiblement nul.

10 7. Procédé de fabrication d'un dispositif semi-conducteur à transistors MOS selon l'une quelconque des revendications 1 à 6, comprenant la formation des transistors dans un substrat semi-conducteur (10), le dépôt d'une couche d'arrêt de gravure (18) sur les transistors, le dépôt d'une couche de diélectrique sur la couche d'arrêt de gravure et la gravure dans la couche de diélectrique de trous de connexion, caractérisé en ce que l'étape de dépôt de la couche d'arrêt de gravure comprenant le dépôt d'une première couche (I) de matériau ayant un premier niveau de stress résiduel et qui recouvre une partie des transistors et le dépôt sur la première couche d'une deuxième couche (II) de matériau ayant un deuxième niveau de stress résiduel et qui recouvre l'ensemble des transistors, les épaisseurs des première et deuxième couches et les premier et deuxième niveaux de stress résiduel étant choisis de manière à obtenir des variations de paramètres de fonctionnement des transistors par rapport à des transistors recouverts de la première couche de matériau.

15 8. Procédé selon la revendication 7, caractérisé en ce que l'étape de dépôt de la première couche comporte le dépôt de ladite couche sur l'ensemble des transistors, le dépôt de masques à l'endroit des transistors de ladite partie de transistors, la gravure de la couche à nu et l'élimination des masques.

25 9. Procédé selon l'une des revendications 7 et 8, caractérisé en ce que postérieurement à l'étape de dépôt de la deuxième couche,

30

on procède à un traitement localisé du matériau de la deuxième couche (II) à l'endroit des transistors de ladite partie de transistors de manière à modifier localement le niveau de stress de la deuxième couche.

10. Procédé selon la revendication 9, caractérisé en ce que le traitement de la deuxième couche est réalisé par implantation ionique.

11. Procédé selon la revendication 10, caractérisé en ce que le traitement de la deuxième couche est réalisé par implantation ionique de Ge.

1/3

FIG.1

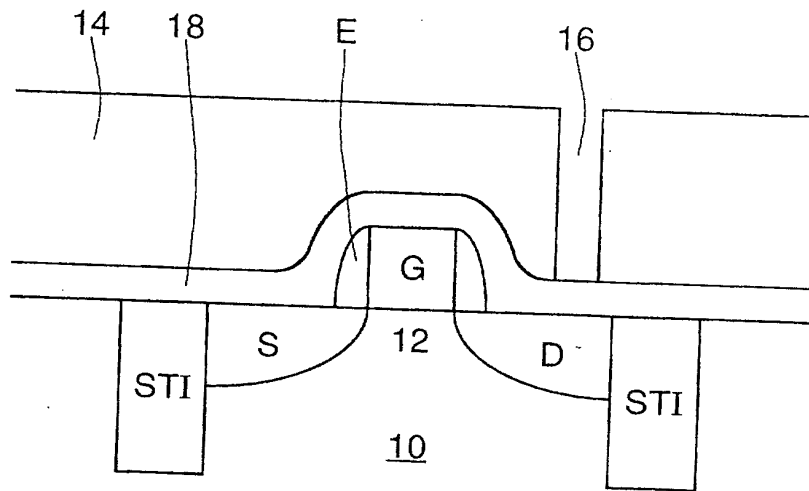
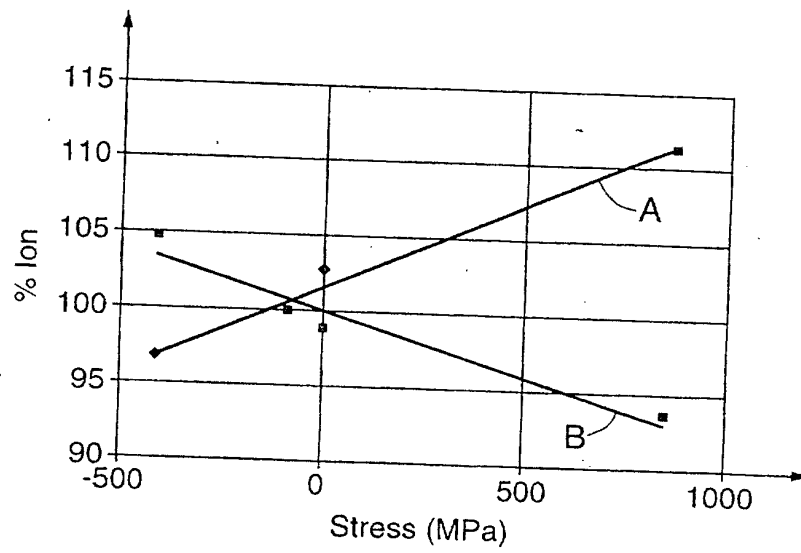
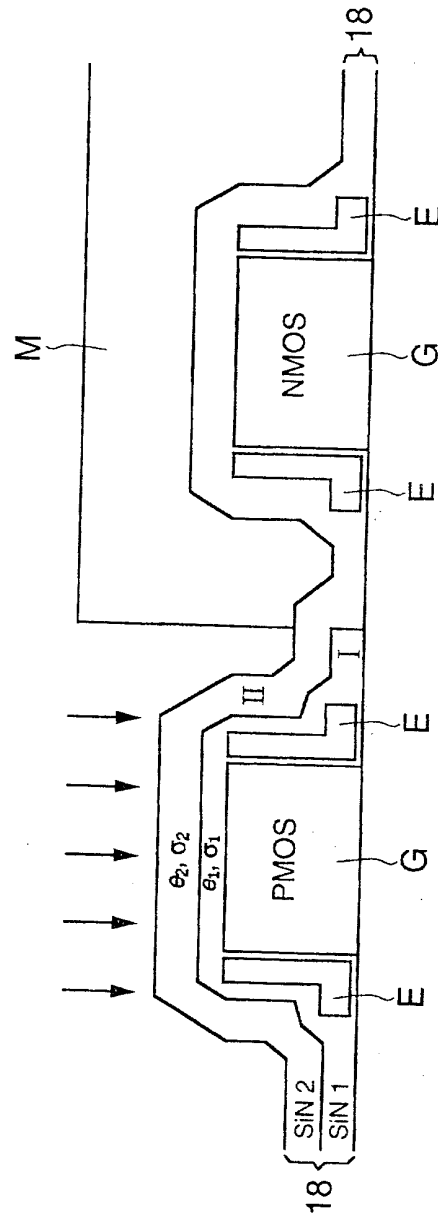


FIG.2



This cross-sectional view shows a semiconductor device with two transistors, PMOS and NMOS, and a central PMD layer. The PMOS transistor on the left has a gate labeled 'G' and a channel region labeled 'E'. The NMOS transistor on the right has a gate labeled 'G' and a channel region labeled 'E'. A PMD layer is located between the two transistors. The device is covered by a SiN2 layer, with SiN1 layers on the top and bottom. The top SiN1 layer is labeled with θ_1, σ_1 and θ_2, σ_2 . The bottom SiN1 layer is labeled with SIN 1 and SIN 2. The PMD layer is labeled with I and II. The device is labeled with 18 at the top and bottom.

FIG.5





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI

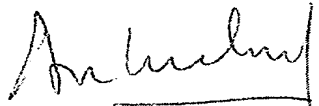
**DÉSIGNATION D'INVENTEUR(S)** Page N° 1.../1...

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

CS 113 G W / 270601

Vos références pour ce dossier (facultatif)		B02/1429FR-ODE
N° D'ENREGISTREMENT NATIONAL		0213837
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Dispositif semi-conducteur à transistors MOS à couche d'arrêt de gravure ayant un stress résiduel amélioré et procédé de fabrication d'un tel dispositif semi-conducteur.		
LE(S) DEMANDEUR(S) :		
Société dite : STMicroelectronics SA		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	MORIN
	Prénoms	Pierre
Adresse	Rue	21, rue des Bergers
	Code postal et ville	[3 8 0 0] GRENOBLE
Société d'appartenance (facultatif)		
2	Nom	REGOLINI
	Prénoms	Jorge
Adresse	Rue	244, Chemin des Catières
	Code postal et ville	[3 8 1 9] BERNIN
Société d'appartenance (facultatif)		
3	Nom	
	Prénoms	
Adresse	Rue	
	Code postal et ville	
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)		Paris, le 5 Novembre 2002
		 Axel CASALONGA, bm 92 1044 i Conseil en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



4

5

6

7